



ス装置の配置状況を示す図である。図において、1はホストマシン、2はインタフェース装置、3は端末機器としてのプリンタを示している。

上記ホストマシン1とインタフェース装置2との間のデータの送受信の制御は以下の如く行われる。すなわち、ホストマシン1からのデータをインタフェース装置2で受信し、受信が可能であれば以後もそのまま受信を続け、受信が不可能であれば信号 $X_{OFF}$ を出力してホストマシン1からのデータの送信が停止する如く制御を行う。この場合、インタフェース装置2が受信可能になったときには、信号 $X_{ON}$ を出力してホストマシン1からのデータの送信を開始させる。

第2図は上記インタフェース装置2の詳細な構成を示すものである。図において、4は雄コネクタ4Aと、雄コネクタ4Bから成るコネクタ5は上記コネクタの雄コネクタ4Bに設けられたマグネット、6はインタフェース装置2内の上記マグネット5に対応する位置に設けられたリードスイッチを示している。また、7はインタフェ

ース回路、8は入出力回路、9はプログラマブルROM、10はCPU11はデータバス、12はアドレスバスを示している。

上述の如く構成することにより、本実施例のインタフェース装置2においては、コネクタ4が外れた場合には上記マグネット5が遠ざかり、リードスイッチ6が動作してこれを検知することができる。上記リードスイッチ6の出力は入出力回路8を介してCPU10に伝達される。

第2図は上記コネクタ4が外れた状態を示すものであり、第3図はコネクタ4が正常にセットされている状態を示すものである。また、第4図は処理のフローチャートである。以下、第2図～第4図に従って、本実施例の動作を説明する。

第2図に示す如く前記コネクタ4が外れている場合には、CPU10はこれを検知して第4図に示すフローチャートのルーチンAの処理を行う。また、前記 $X_{ON}$ 、 $X_{OFF}$ 送信中にコネクタ4が外れた場合には第4図のルーチンBの処理を行い、コネクタ4がセットされてリードスイッチ6がオ

ンとなったときに、入出力回路8を介してこれを検知して、第4図のルーチンCの処理を行い、もう一度 $X_{ON}$ 、 $X_{OFF}$ を送信し直す。なお、第4図において、 $T \times R D Y$ はインタフェース装置が送信可能な状態か否かを示すものである。また、これらの処理は、電源投入時、あるいは、ホストマシン側から送られるデータにより、インタフェース装置の内部メモリが満杯になってホストマシン側にデータの送出停止信号( $X_{OFF}$ )を送出した後、内部処理が完了して再度、ホストマシンからのデータ送出を許可する信号( $X_{ON}$ )を送出する直前、等に行うのが一般的である。

第5図、第6図は本発明の他の実施例を示すものであり、コネクタ4そのもののスイッチとした例を示している。すなわち、コネクタ4の雄コネクタ4A、雄コネクタ4Bに、それぞれ、接点13、14を設けて、コネクタ4がセットされているときスイッチがオン、外れているときオフとなるようにしたものである。本実施例の動作については前述の実施例と同じであるので、詳細な説明

は省略する。

第7図、第8図は本発明の更に他の実施例を示すものであり、コネクタ4の外れを検知する手段にフォトセンサ15を用いた例を示している。コネクタ4が外れていると、LEDの光は反射されず、フォトトランジスタはオフの状態になり、スイッチもオフとなる。また、コネクタ4がセットされていると、LEDの光が反射されてフォトトランジスタがオンとなり、スイッチもオンとなる。本実施例の動作も上記各実施例と同じであるので、詳細は省略する。なお、第9図はフォトセンサの回路構成例を示す図である。

上記実施例においては、本発明をホストマシン1とプリンタ3との間のデータの送受信を制御するためのデータ伝送系に適用した例を示したが、本発明はこれに限定されるべきものではなく、他の各種のデータ伝送系におけるインタフェース装置に適用可能であることは言うまでもない。

#### 効 果

以上述べた如く、本発明によれば、ホストマシ

ン等と接続される端末機器のインターフェース装置において、上記ホストマシン等との間に設けられているコネクタが接続されているか否かを検知し、この結果により上記ホストマシン等への出力情報を制御するようにしたので、コネクタが外れたままの状態が維持して、ホストマシンおよびインターフェース装置がハングアップするという問題が解消されるばかりでなく、データ転送中にコネクタが外れた場合にも、再度、データを転送することによって確実にデータの転送が行われるという効果を奏するものである。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例であるインターフェース装置の配置状況を示す図、第2図、第3図はその要部を示す構成図、第4図は処理フローチャート、第5図～第8図は本発明の他の実施例を示す要部構成図、第9図はフォトセンサの回路構成例を示す図である。

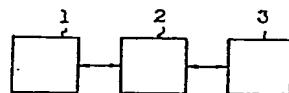
1：ホストマシン、2：インターフェース装置、3：プリンタ、4：コネクタ、5：マグネット、6：

特開昭60-136847(3)

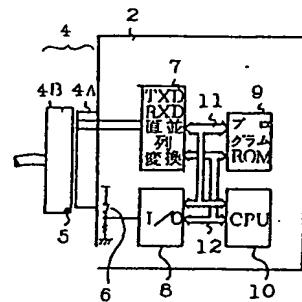
リードスイッチ、7：インターフェース回路、8：入出力回路、9：プログラマブルROM、10：CPU、11：データバス、12：アドレスバス。

特許出願人 株式会社リコー  
代理人 井理士 破村雅也

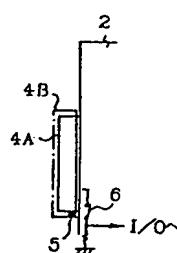
第 1 図



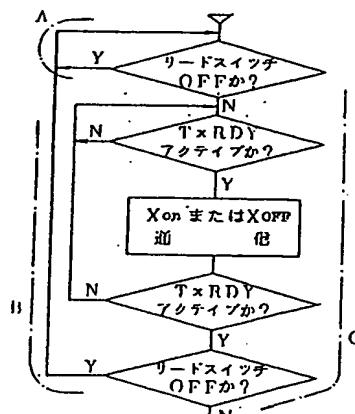
第 2 図



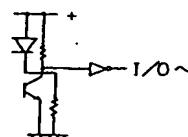
第 3 図



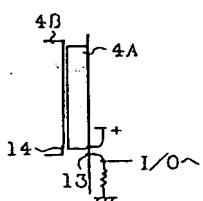
第 4 図



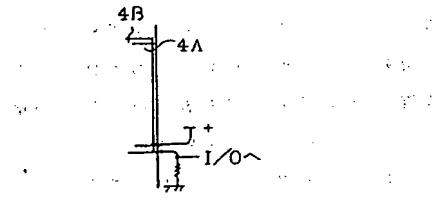
第 9 図



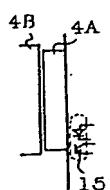
第 5 図



第 6 図



第 7 図



第 8 図

